



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10164458 A**(43) Date of publication of application: **19.06.98**

(51) Int. Cl.  
**H04N 5/52**  
**H04N 5/14**  
**H04N 9/78**

(21) Application number: **08316696**(22) Date of filing: **27.11.98**(71) Applicant: **NIPPON MOTOROLA LTD**

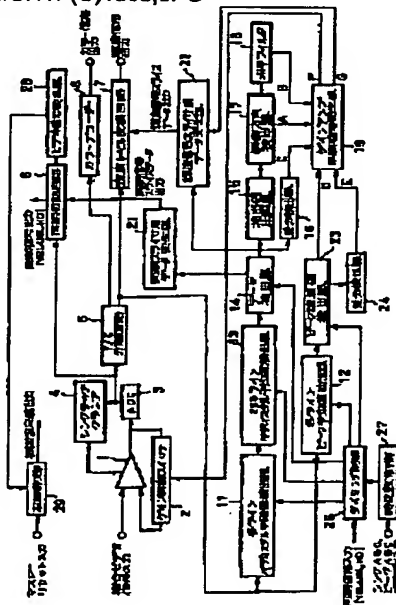
(72) Inventor:  
**MURAI NISHIYOSHI**  
**TAKANO NAOKI**  
**SUGIYAMA TOSHIHISA**

**(54) VIDEO SIGNAL PROCESSOR****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To suitably control the level of input composite video signal by shortening the time constant of a peak automatic gain control (AGC) loop system, including a data-generating means for peak AGC rather than the time constant of sync AGC loop system, including a data generating means for sync AGC.

**SOLUTION:** A timing control circuit 26 generates respective timing signals, corresponding to a synchronization signal input (VBLANK, HD) from a synchronizing separator circuit 6 and the time constant from a time constant control circuit 27. The time constant of a peak AGC loop is set to the time constant control circuit 27 rather than the time constant of sync AGC loop system, in order to make the peak AGC more preferential rather than the sync AGC, when a real peak value is larger than a reference peak value. Thus, the level of input composite video signal can be suitably controlled by operating the peak AGC during the sync AGC loop with a sync chip as a reference.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-164458

(43) 公開日 平成10年(1998) 6月19日

(51) IntCl.<sup>5</sup>

H04N 5/52  
5/14  
9/78

識別記号

F I

H04N 5/52  
5/14  
9/78

Z  
A

審査請求 未請求 請求項の数6 O L (全 13 頁)

(21) 出願番号 特願平8-316696

(22) 出願日 平成8年(1996)11月27日

(71) 出願人 000230308

日本モトローラ株式会社  
東京都港区南麻布3丁目20番1号

(72) 発明者 村井 西伊

東京都港区南麻布3丁目20番1号日本モトローラ株式会社内

(72) 発明者 高野 直樹

東京都港区南麻布3丁目20番1号日本モトローラ株式会社内

(72) 発明者 杉山 俊久

東京都港区南麻布3丁目20番1号日本モトローラ株式会社内

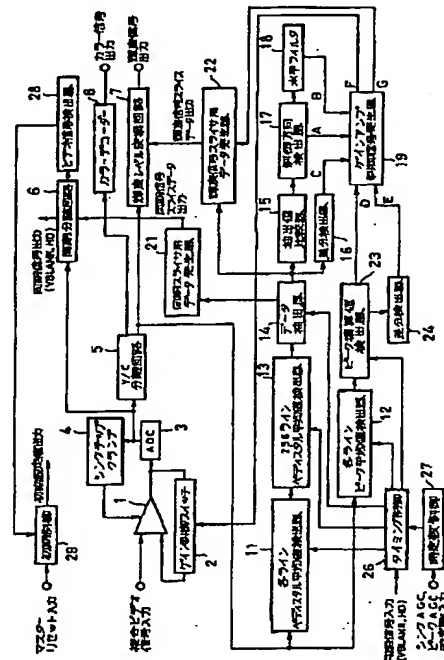
(74) 代理人 弁理士 藤村 元彦

(54) 【発明の名称】 ビデオ信号処理装置

(57) 【要約】

【目的】 入力複合ビデオ信号のレベルを適切に制御することができるビデオ信号処理装置を提供する。

【解決手段】 アナログの入力複合ビデオ信号をアナログ増幅手段によって増幅した後、A/D変換手段によってデジタル化し、デジタル化された複合ビデオ信号から輝度信号及び色信号を分離抽出して出力するビデオ信号処理装置において、その輝度信号のペディスタル値がペディスタル基準値に制御されるようにペディスタル値に応じたシンクAGC用データを生成するシンクAGC用データ生成手段と、輝度信号のピーク値がピーク基準値に制御されるようにピーク値に応じたピークAGC用データを生成するピークAGC用データ生成手段と、シンクAGC用データ及びピークAGC用データに応じてアナログ増幅手段のゲインを制御する制御手段とが備えられ、ピークAGC用データ生成手段を含むピークAGCループ系の時定数がシンクAGC用データ生成手段を含むシンクAGCループ系の時定数より短くされている。



## 【特許請求の範囲】

【請求項1】 入力されたアナログの複合ビデオ信号を増幅するアナログ増幅手段と、  
前記アナログ増幅手段の出力信号をディジタル化するA/D（アナログ/ディジタル）変換手段と、  
前記A/D変換手段によってディジタル化された複合ビデオ信号から輝度信号及び色信号を分離抽出するY/C分離手段と、  
前記輝度信号のペディスタル値がペディスタル基準値に制御されるように前記ペディスタル値に応じたシンクAGC（オートゲインコントロール）用データを生成するシンクAGC用データ生成手段と、  
前記輝度信号のピーク値がピーク基準値に制御されるように前記ピーク値に応じたピークAGC用データを生成するピークAGC用データ生成手段と、  
前記シンクAGC用データ及び前記ピークAGC用データに応じて前記アナログ増幅手段のゲインを制御する制御手段と、を備えたビデオ信号処理装置であって、  
前記ピークAGC用データ生成手段を含むピークAGCループ系の時定数が前記シンクAGC用データ生成手段を含むシンクAGCループ系の時定数より短くされていることを特徴とするビデオ信号処理装置。

【請求項2】 シンクAGC用データ生成手段は、  
前記輝度信号のペディスタル値をライン毎に平均してペディスタル平均値を検出し、更に複数ライン毎にその複数ライン分の前記ペディスタル平均値を平均して複数ラインペディスタル平均値として検出するペディスタル平均化手段と、  
前記複数ラインペディスタル平均値を所定のタイミングで抽出する抽出手段と、  
前記抽出手段の抽出値と前記ペディスタル基準値とを比較する比較手段と、  
前記抽出手段の抽出値の前記所定のタイミング毎の前回値と今回値との差分の絶対値が基準値より大きいかな否かを示す差分データを出力する差分検出手段と、  
前記比較手段の比較結果に応じてシンクAGCの制御方向を検出して第1制御方向データを出力する制御方向検出手段と、  
前記シンクAGCの制御方向が複数回連続して同一方向であるときその方向を示す第2制御方向データを出力するフィルタ手段とを有し、  
前記差分データ並びに前記第1及び第2制御方向データをシンクAGC用データとし、  
前記ピークAGC用データ生成手段は、  
前記輝度信号のピーク値をライン毎に平均してピーク平均値を検出するピーク平均化手段と、  
前記ピーク平均値を積算して前記所定のタイミング毎の積算値を前記ピーク基準値と比較してその比較結果を出力する積算比較手段と、  
前記積算比較手段の比較結果が前記積算値を前記ピーク

基準値より大である状態から前記積算値を前記ピーク基準値以下である状態に変化したことを検出したときピーク低下データを出力する手段とを有し、  
前記積算比較手段の比較結果と前記ピーク低下データを前記ピークAGC用データとし、  
前記制御手段は、前記積算比較手段の比較結果が前記積算値を前記ピーク基準値以下であるときには前記フィルタ手段から出力された前記制御方向データに応じて前記アナログ増幅手段のゲインを制御し、前記積算比較手段の比較結果が前記積算値を前記ピーク基準値より大であるときには前記第1及び第2制御方向データ並びに前記ピーク低下データに応じて前記アナログ増幅手段のゲインを制御することを特徴とする請求項1記載のビデオ信号処理装置。

【請求項3】 前記制御手段は、前記第1制御方向データが下方向を示し、前記積算比較手段の比較結果が前記積算値を前記ピーク基準値より大である状態を示し、かつ前記ピーク低下データが出力されたときイネーブル信号を生成する手段を有し、

前記ビデオ信号処理装置は、更に、前記抽出手段の抽出値を保持してそれを同期信号用スライスデータとして出力する同期用スライスデータ発生手段と、前記A/D変換手段によってディジタル化された複合ビデオ信号から前記同期信号用スライスデータが示すレベルに従って同期信号を分離抽出する同期分離手段と、  
前記抽出手段の抽出値を保持してその4値分毎に積分してそれを前記イネーブル信号の生成時に輝度信号用スライスデータとして出力する輝度信号用スライスデータ発生手段と、  
前記輝度信号用スライスデータが示すレベルに従って前記輝度信号のレベルを変換する輝度レベル変換手段と、を有することを特徴とする請求項1又は2記載のビデオ信号処理装置。

【請求項4】 前記所定のタイミングは前記アナログの複合ビデオ信号の垂直帰線消去期間信号の整数倍のタイミングであることを特徴とする請求項1記載のビデオ信号処理装置。

【請求項5】 前記A/D変換手段によってディジタル化された複合ビデオ信号のシンクチップ値を一定に保持するシンクチップクランプ手段を有することを特徴とする請求項1記載のビデオ信号処理装置。

【請求項6】 前記アナログの複合ビデオ信号の入力時に装置内の各手段に初期値を設定する初期設定手段を有することを特徴とする請求項1記載のビデオ信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力複合ビデオ信号のレベルを一定に維持するビデオ信号処理装置に関する。

## 【0002】

【従来の技術】従来、入力複合ビデオ信号のレベルを一定に維持する構成としては、その信号のシンクチップとペディスタルとの間のレベルを一定に維持するシンク(Sync) AGC (オートゲインコントロール) と、複合ビデオ信号の全体レベルを一定に維持するピーク AGC とを組み合わせて制御することが一般的であった。

## 【0003】

【発明が解決しようとする課題】シンクチップを基準にして全てのレベル値を確定する場合には、入力複合ビデオ信号のペディスタル値とそのビデオ信号のピーク値との関係が図1(a)に示すように、実ペディスタル値がペディスタル基準値より低く、実ピーク値がピーク基準値より高い状態であると、ピーク AGC により図1

(b)に示すように実ピーク値を矢印Xの如くピーク基準値まで下げようとする動作が生じる一方、シンク AGC により図1(c)に示すように実ペディスタル値を矢印Yの如くペディスタル基準値まで上げようとする動作が生じ、この2つの動作が繰り返される。よって、このような2つの AGC 動作の組み合わせではレベル制御が不安定になり、発振してしまうという問題点があった。

【0004】そこで、本発明の目的は、入力複合ビデオ信号のレベルを適切に制御することができるビデオ信号処理装置を提供することである。

## 【0005】

【課題を解決するための手段】本発明のビデオ信号処理装置は、入力されたアナログの複合ビデオ信号を増幅するアナログ増幅手段と、アナログ増幅手段の出力信号をデジタル化する A/D 変換手段と、A/D 変換手段によってデジタル化された複合ビデオ信号から輝度信号及び色信号を分離抽出する Y/C 分離手段と、輝度信号のペディスタル値がペディスタル基準値に制御されるようにペディスタル値に応じたシンク AGC 用データを生成するシンク AGC 用データ生成手段と、輝度信号のピーク値がピーク基準値に制御されるようにピーク値に応じたピーク AGC 用データを生成するピーク AGC 用データ生成手段と、シンク AGC 用データ及びピーク AGC 用データに応じてアナログ増幅手段のゲインを制御する制御手段とを備えたビデオ信号処理装置であって、ピーク AGC 用データ生成手段を含むピーク AGC ループ系の時定数がシンク AGC 用データ生成手段を含むシンク AGC ループ系の時定数より短くされていることを特徴としている。

## 【0006】

【発明の実施の形態】以下、本発明の実施例を図面を参照しつつ詳細に説明する。図2に示したビデオ信号処理装置において、入力アナログ複合ビデオ信号はアナログ制御アンプ1に供給される。アナログ制御アンプ1はゲイン制御スイッチ2によって選択されたゲインにて入力アナログ複合ビデオ信号を増幅する。アナログ制御アン

プ1の出力にはアナログ/デジタル変換器(ADC)3が接続されており、増幅されたアナログ複合ビデオ信号がデジタル化される。アナログ/デジタル変換器3の出力にはシンクチップクランプ4、Y/C分離回路5及び同期分離回路6が接続されている。シンクチップクランプ4は複合ビデオ信号のボトムレベルであるシンクチップ値を一定に保持する。Y/C分離回路5はデジタル化ビデオ信号から輝度信号成分Yと色信号成分Cとを分離抽出する。同期分離回路6はデジタル化ビデオ信号から同期信号成分を分離抽出する。

【0007】Y/C分離回路5から出力される輝度信号成分Yは輝度レベル変換回路7によってレベル変換されて輝度信号として出力される。Y/C分離回路5から出力される色信号成分Cはカラーデコーダ8によってデジタル色差信号であるR-Y信号及びB-Y信号に変換されて出力される。また、Y/C分離回路5の輝度信号成分出力には各ラインペディスタル平均値検出器11及び各ラインピーク平均値検出器12が接続されている。ペディスタル平均値検出器11は輝度信号の各ライン毎に16個のペディスタル値のデータを取り出してその平均値をとる。ペディスタル平均値検出器11の出力には更に256ラインペディスタル平均値検出器13が接続され、そこでは各ラインペディスタル平均値検出器11で得られた各ライン毎のペディスタル平均値の256ライン分の平均値がとられる。これはビデオ信号中の低周波ノイズを除去するためである。256ラインペディスタル平均値検出器13による平均値はデータ抽出器14によって抽出される。この抽出タイミングは垂直帰線消去期間信号VBLANKの整数倍のタイミングとなるように、後述のタイミング制御回路26から出力されるタイミング信号に応じて制御される。データ抽出器14の出力には比較器15及び差分検出器16が接続されている。比較器15はデータ抽出器14による抽出値とペディスタル基準値とを比較してその比較結果を制御方向検出器17に供給する。制御方向検出器17は比較器15の出力状態から現在の制御方向を検出する。すなわち、比較器15の出力値を上方向値、中間値及び下方向値の3種類の値に分類して分類結果を示す信号を生成する。制御方向検出器17には水平フィルタ18が接続されている。水平フィルタ18は水平方向において制御方向検出器17の出力信号値を5回積算し、5回連続して同じ値であるならば制御方向を確定し、その確定したときに制御方向データを生成する。

【0008】差分検出器16はデータ抽出器14による抽出値を保持し、今回の抽出値と前回の抽出値との差分の大きさ(絶対値)を検出する。差分検出器16の出力信号は制御方向検出器17及び水平フィルタ18の各出力信号と共にゲインアンプ制御信号発生器19に供給される。データ抽出器14には同期スライサ用データ発生器21が接続されている。同期スライサ用データ発生器

21はデータ抽出器14において得られたデータ値を保持し、同期分離回路6の同期信号のスライスデータを生成する。また、データ抽出器14の出力には輝度信号スライサ用データ発生器22が接続されている。輝度信号スライサ用データ発生器22はデータ抽出器14において得られた抽出値を保持し、4つの抽出値毎にフィルタに通すことにより輝度信号用のスライスデータを作成する。この輝度信号用のスライスデータは輝度レベル変換回路7に供給される。

【0009】ラインピーク平均値検出器12は輝度信号の各ライン毎にマスタクロックに同期してY/C分離回路5からの輝度信号レベルをサンプリングしてサンプル値が3サンプリング以上連続してピーク基準値を越えた場合に「1」を示す信号を出力する。3サンプリング以上連続してピーク基準値を越えたことを確認する理由は、ビデオ信号中の高周波ノイズを考慮したためである。ラインピーク平均値検出器12の出力信号はピーク積算値検出器23に供給される。ピーク積算値検出器23はラインピーク平均値検出器12の出力値を積算して積算値を検出する。この検出タイミングは垂直帰線消去期間信号VBLANKの整数倍のタイミングとなるように、タイミング制御回路26から出力されるタイミング信号に応じて制御される。検出した積算値が基準値を越えているならば、ピーク積算値検出器23は「1」を示す信号を出力し、それ以外のときは0を示す信号を出力する。ピーク積算値検出器23には差分検出器24が接続されている。差分検出器24はピーク積算値検出器23の検出結果を保持し、前回の検出結果と今回の検出結果とを比較して前回の検出結果が「0」であって今回の検出結果が「1」であるとき「1」を示す信号（ピーク低下データ）を出力し、それ以外のときは0を示す信号を出力する。すなわち、前回はピークがあったがそれが今回なくなった場合にそれを検出するのである。ピーク積算値検出器23及び差分検出器24の各検出信号はゲインアンプ制御信号発生器19に供給される。

【0010】ゲインアンプ制御信号発生器19は、差分検出器16、24、制御方向検出器17、水平フィルタ18及びピーク積算値検出器23の各出力信号に応じてゲイン制御スイッチ2に対してゲイン制御データを出力し、また輝度信号スライサ用データ発生器22に対してはスライスデータの出力するか否かを制御するイネーブル信号を出力する。

【0011】各ラインベディスタル平均値検出器11、各ラインピーク平均値検出器12、256ラインベディスタル平均値検出器13、データ抽出器14及びピーク積算値検出器23には上記したタイミング制御回路26から個別にタイミング信号が供給される。タイミング制御回路26は同期分離回路6から出力される垂直帰線消去期間信号VBLANK及び水平同期信号HDと共に時定数制御回路27によって設定された時定数に応じて各

タイミング信号を生成する。時定数制御回路27にはシンクAGC及びピークAGC用の時定数情報が外部から入力されるようになっており、その入力時定数情報に応じて適切な時定数が時定数制御回路27にて設定される。

【0012】同期分離回路6には更に、ビデオ信号の供給開始を検出するビデオ信号検出器28が接続されている。ビデオ信号検出器28は同期分離回路6による同期分離動作においてビデオ信号が検出されたときビデオ信号検出信号を発生する。ビデオ信号検出器28の出力には初期制御回路29が接続されている。初期制御回路29はビデオ信号検出信号又は外部からのマスタリセットに応じて各回路の出力レベルに初期値を設定する。これは複合ビデオ信号の入力開始後、直ちに安定した制御動作を可能にするためである。

【0013】次に、かかる装置の動作を波形図を用いて説明する。入力複合ビデオ信号は先ず、アナログ制御アンプ1に供給され、そこでゲイン制御スイッチ2の選択状態に応じた利得にてアナログ制御アンプ1によって増幅される。アナログ制御アンプ1を経たビデオ信号はアナログ/デジタル変換器3によってデジタル化される。デジタル化複合ビデオ信号はY/C分離回路5及び同期分離回路6に供給されると共にシンクチップクランプ4によって複合ビデオ信号のシンクチップ位置が一定になるようにクランプされる。Y/C分離回路5ではデジタル化複合ビデオ信号から輝度信号Yと色信号Cとが分離抽出され、同期分離回路6ではデジタル化ビデオ信号から同期信号が分離抽出される。

【0014】Y/C分離回路5から出力されるデジタル輝度信号Yが図3(a)に示すような波形を有している場合に、各ラインベディスタル平均値検出器11ではライン（水平走査期間）毎にベディスタル値を16個だけサンプリングしてその平均値を算出することが行なわれる。各ライン毎にベディスタル平均値が得られると、256ラインベディスタル平均値検出器13では、図3(b)に示すように、各ライン毎のベディスタル平均値が256ライン分だけ加算されその加算結果を256で割算して256ライン分のベディスタル平均値が算出される。よって、図3(c)に示すように、算出された256ライン分のベディスタル平均値は次の256ライン期間に出力される。

【0015】データ抽出器14は256ライン分のベディスタル平均値を図3(d)に示すように垂直帰線消去期間信号VBLANKの整数倍のタイミングで抽出する。これは垂直帰線消去期間にゲインの制御動作を行ないたいためである。抽出された平均値はベディスタル基準値と比較器15にて比較される。この比較に当たっては平均値は8ビットのデータであるが、その下位2ビットは0に各々される。比較結果は図3(e)に示すように、抽出平均値がベディスタル基準値より大である上方

7

向値、抽出平均値がベディスタル基準値と同じである中間値、及び抽出平均値がベディスタル基準値より小である下方向値のいずれかとして得られ、制御方向検出器17はその比較結果に応じて図3(f)に示すタイミングで、すなわち期間T1毎に3ビットの制御方向データをゲートアンプ制御信号発生器19に対して出力する。

【0016】制御方向検出器17の出力信号は水平フィルタ18に供給され、水平フィルタ18は図3(g)に示すように水平方向において制御方向検出器17の出力信号値を5回積算し、5回連続して同じ値であるならば10 制御方向を確定し、その確定したときに図3(h)に示すタイミングすなわち期間5T1毎に3ビットの制御方向データをゲートアンプ制御信号発生器19に対して出力する。

【0017】また、データ抽出器14において得られたデータ値は、同期スライサ用データ発生器21にて図4(i)に示す期間だけ保持され、その保持データは同期分離回路6にスライスデータとして供給される。よって、同期分離回路6は供給されたスライスデータに応じてデジタル化ビデオ信号から同期信号を分離するのである。これにより、テレビジョン受像機において電界強度の悪い受信ビデオ信号又はノイズが混入しているビデオ信号から同期信号を確実に抽出することができる。なお、図4(c)及び図4(d)は図3(c)及び図3(d)に各々示した波形に対応する。

【0018】データ抽出器14による抽出値は差分検出器16にて図4(j)に示すように今回の抽出値及び前回の抽出値として保持され、今回の抽出値と前回の抽出値との差分の絶対値が算出される。図4(k)に示すように、差分の絶対値が基準値より大であるとき差分検出器16からは「1」を示す信号が出力される。更に、データ抽出器14による抽出値は、輝度信号スライサ用データ発生器22にて図4(l)に示すように保持され、そして4つの抽出値毎にフィルタに通すことにより積分され、積分結果の輝度信号用のスライスデータが図4(m)に示すように作成される。そのスライスデータはゲインアンプ制御信号発生器19から図4(n)に示すイネーブル信号が供給されているときには輝度レベル変換回路7に供給される。輝度レベル変換回路7は後述するが、供給されたスライスデータによって定まる値をベディスタル値とし、そこに輝度信号のブラックレベルを合わせるようにレベル調整する。

【0019】ラインピーク平均値検出器12においては、Y/C分離回路5からの輝度信号レベルが図5

(o)に示すように、各ライン毎にマスタクロックに同期して3点だけサンプリングされる。図5(p)のように、各ライン毎にそのサンプル値が3サンプリング連続してピーク基準値を越える場合には、各ライン毎に図5(q)にハッチングで示すタイミングで1を示す信号が出力される。

8

【0020】ラインピーク平均値検出器12の出力値はピーク積算値検出器23にて積算される。その積算値は垂直帰線消去期間信号VBLANKの整数倍のタイミングで検出される。よって、垂直帰線消去期間信号VBLANKの整数倍のタイミングが図5(s)に示すようなタイミング(ハッチング部分)であれば、図5(r)に示す期間毎にラインピーク平均値検出器12の出力値の積算が繰り返される。そして、その積算値が基準値を越えると、ピーク積算値検出器23は図5(t)に示すように直ちに「1」を示す検出値を出力する。

【0021】ピーク積算値検出器23による検出値は差分検出器24にて図5(u)に示すように今回の検出値及び前回の検出値として保持され、今回の検出値と前回の検出値とが比較される。図5(v)に示すように、前回の検出値が0であって今回の検出値が「1」であるとき、すなわち前回はピークがあったがそれが今回なくなったとき図5(w)に示す「1」を示す信号が出力され、それ以外のときは0を示す信号が出力される。

【0022】ゲインアンプ制御信号発生器19は、制御方向検出器17から出力される3ビットの制御方向データと、図5(x)に示すようにそのデータ出力タイミングtを利用して差分検出器24の出力信号を読み取り、図5(y)に示すように読み取る毎にその差分検出器24の出力信号をピークの予測信号として用いる。詳しくは次の表1に示すように制御動作を行なう。

【0023】ここで、信号Aは制御方向検出器17から出力された3ビットのピークゲイン予測用のデータであり、ベディスタル値が基準値より上方向値では「100」、中間値では「010」、下方向値では「001」である。信号Bは水平フィルタ18から出力された3ビットのデータであり、積算値より確定した方向が上方向では「100」、中間では「010」、下方向では「001」である。信号Cはベディスタル用の差分検出器16から出力された1ビットのデータであり、今回値と前回値との差分の絶対値が基準値より大であるとき「1」を示す。信号Dはピーク積算値検出器23から出力された1ビットのデータであり、ピーク値が基準値より大であるならば、「1」を示す。信号Eはピーク用の差分検出器24から出力された1ビットのデータであり、前回値が「1」で今回値が0のとき「1」を示す。信号Fはゲインアンプ制御信号発生器19から出力された1ビットのイネーブル信号であり、「1」を示すとき輝度信号スライサ用データ発生器22からのスライスデータの出力を可能にする。信号Gはゲインアンプ制御信号発生器19から出力された6ビットのゲイン制御データであり、ゲイン制御スイッチ2に供給される。表1中の「x」は無視されることを意味する。

【0024】

【表1】

信号	D	B	E	A	信号G及びC、Fの説明
	0	100	x	x	ペディスタル位置のみが大きいのでゲインを下げる。
	0	010	x	x	ペディスタル位置が正常なのでゲインを動かさない。
	0	001	x	x	ペディスタル位置のみが小さいのでゲインを上げる。
	1	100	x	x	ピーク値が大きく、ペディスタル位置も大きいのでゲインを下げる。
	1	010	x	x	ピーク値が大きいため、ペディスタル位置が正常でもゲインを下げる(ピークの制御優先のため)。
	1	001	0	100	突発的なペディスタル位置の変化と認識し、Aの信号を無視し、ゲインを下げる(ピークの制御優先のため)。
	1	001	0	010	突発的なペディスタル位置の変化と認識し、Aの信号を無視し、ゲインを下げる(ピークの制御優先のため)。
	1	x	0	001	ピーク値が大きく、Aの信号(予選用の信号)が基準のペディスタル位置より小さいが、ピーク制御を停止するため使用する信号Eが0なので、ゲインを下げる。
	1	x	1	100	ピーク値が大きく、Aの信号(予選用の信号)が基準のペディスタル位置より大きく、ピーク制御を停止するため使用する信号Eが1だが、ゲインを下げる。
	1	x	1	010	ピーク値が大きく、Aの信号(予選用の信号)が基準のペディスタル位置に対して正常だが、ピーク制御を停止するために使用する信号Eが1だが、ゲインを下げる。
	1	x	1	001	ピーク値が大きく、Aの信号(予選用の信号)が基準のペディスタル位置が小さいと判断し、ピーク制御を停止するために使用する信号Eが1の際、信号Fを1にする。再度、Dが1になると信号Fは0になる。

【0025】ゲイン制御スイッチ2を介してアナログ制御アンプ1のゲインを下げるによりアナログ制御アンプ1から出力される複合ビデオ信号のレベルは低下し、またアナログ制御アンプ1のゲインを上げるによりアナログ制御アンプ1から出力される複合ビデオ信号のレベルは上昇する。信号D=1、信号E=1、信号

A=001のときにはアナログ制御アンプ1のゲインは制御されない。

【0026】この表1に示した制御動作により、ピーク積算値検出器23の出力信号Dに基づいて実ピーク値がピーク基準値より大きいときには、ピークAGCがシンクAGCよりも優先され、アナログ制御アンプ1のゲ

インが下げられる。ピークAGCを優先させるためにシンクAGCループの時定数よりもピークAGCループの時定数が短く（例えば、シンクAGCループの時定数の1/6）設定されている。これは水平フィルタ18が挿入され、その出力信号Bを監視しているからである。図6に示すように、実ピーク値がピーク基準値を越えない間はシンクAGCが動作し、実ピーク値がピーク基準値を越えると、ピークAGCが直ちに動作してピーク値を基準値に制御し、その後、制御方向検出器17の出力信号Aを参照してピーク値を基準値に維持すること（すなわち、ピークホールド）が行なわれる。

【0027】ピークAGCの動作が優先されてピークホールド状態となると、かかる装置によれば、ベディスタル値が図7(a)に示すように、実ベディスタル値がベディスタル基準値より低い状態となり、ブラックレベルが一致しなくなる。そこで、イネーブル信号Fを‘1’として図7(c)に示すように入力ビデオ信号のベディスタル値をブラックレベルとするように制御することが行なわれる。すなわち、ベディスタル基準値をハッチングHで示す分だけ低下させることが行なわれる。これにより、ブラックレベル部分の適正な映像表示が可能となる。なお、この制御の実行によりブラックレベルが頻繁に動いてノイズが生じないように、図7(b)に示す期間T2のように一定の時定数及び不感帯が設けられている。すなわち、実ベディスタル値に応じて1フィールド毎に1ステップずつ下げるような時定数にされ、また実ベディスタル値とベディスタル基準値との差が±4コード内であれば動作しない。

【0028】また、アナログ制御アンプ1のゲインステップ設定（図8のゲインステップa）に比べてアナログ／デジタル変換器3の分解能（図8の各ステップ）が細かいと、図8に実線で示したようにアナログ制御アンプのゲインが上下して、ゲイン制御のループが不安定となり、ビデオ信号が発振してしまう。しかしながら、かかる本発明による装置によれば、比較器15により256ライン毎のベディスタル平均値を1/4にした値に応じてアナログ制御アンプ1のゲインが制御されるので、図9に示すようにアナログ制御アンプ1のゲインが安定して変動することが防止される。また、水平フィルタ18により水平方向に5回連続して同じ制御方向ならば、新たなゲインの方向を決める信号Bが得られる。よって、図10に示すように、突発的にゲインを変えるようなビデオ信号が到来してもそれには反応しないので、本装置から出力されるビデオ信号が突然変動することを防

止することができる。

【0029】以上の如く、本発明によれば、シンクチップを基準にしたシンクAGCのループ中にピークAGCが動作するようにして、入力複合ビデオ信号のレベルを適切に制御することができる。なお、本発明はテレビジョン受像機、ビデオテープレコーダ（VTR）、NTSC/PALデコーダ等の装置に適用することができる。

【図面の簡単な説明】

【図1】従来の装置の動作を示す波形図である。

【図2】本発明の実施例を示すブロック図である。

【図3】図2の装置の動作を説明するための波形及びタイミング図である。

【図4】図2の装置の動作を説明するための図3に続く波形及びタイミング図である。

【図5】図2の装置の動作を説明するための図4に続く波形及びタイミング図である。

【図6】ピークAGCが動作する場合を説明する波形図である。

【図7】ベディスタル値をブラックレベルとする制御を説明する波形図である。

【図8】アナログ制御アンプの従来のゲイン変化例を示す図である。

【図9】図2の装置によるアナログ制御アンプのゲイン変化例を示す図である。

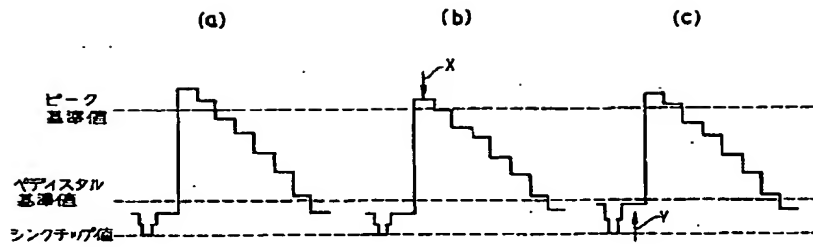
【図10】図2の装置によるアナログ制御アンプのゲイン変化例を示す図である。

【主要部分の符号の説明】

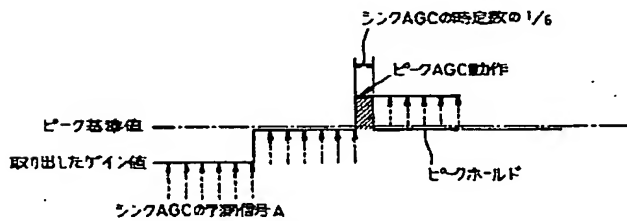
- 1 アナログ制御アンプ
- 2 ゲイン制御スイッチ
- 3 アナログ／デジタル変換器
- 4 シンクチップクランプ
- 5 Y/C分離回路
- 6 同期分離回路
- 7 輝度レベル変換回路
- 16, 24 差分検出器
- 17 制御方向検出器
- 18 水平フィルタ
- 19 ゲインアンプ制御信号発生器
- 21 同期スライサ用データ発生器
- 22 輝度信号スライサ用データ発生器
- 23 ピーク積算値検出器
- 26 タイミング制御回路
- 27 時定数制御回路



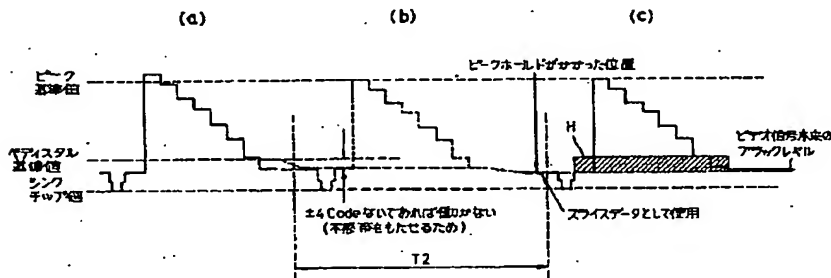
【図1】



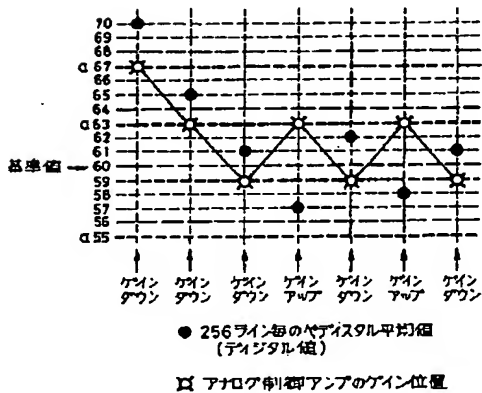
【図6】



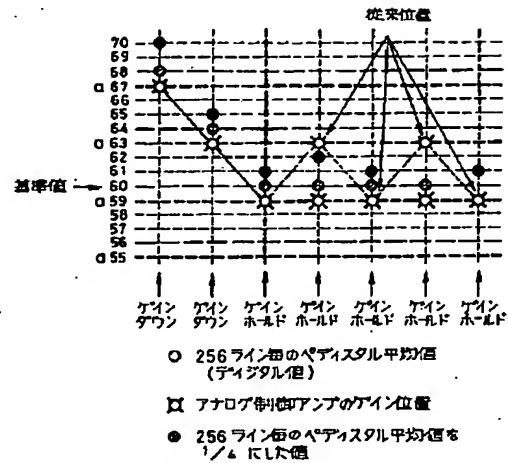
【図7】



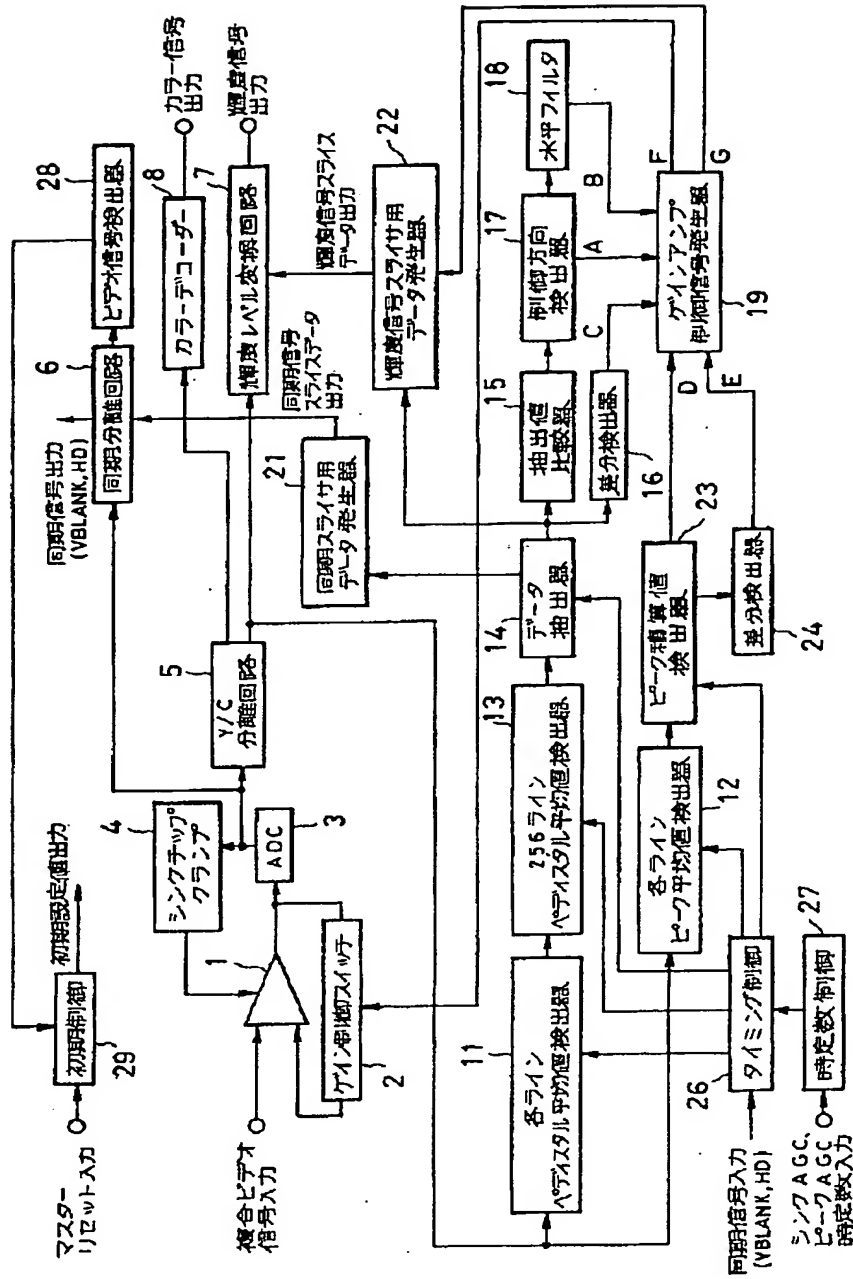
【図8】



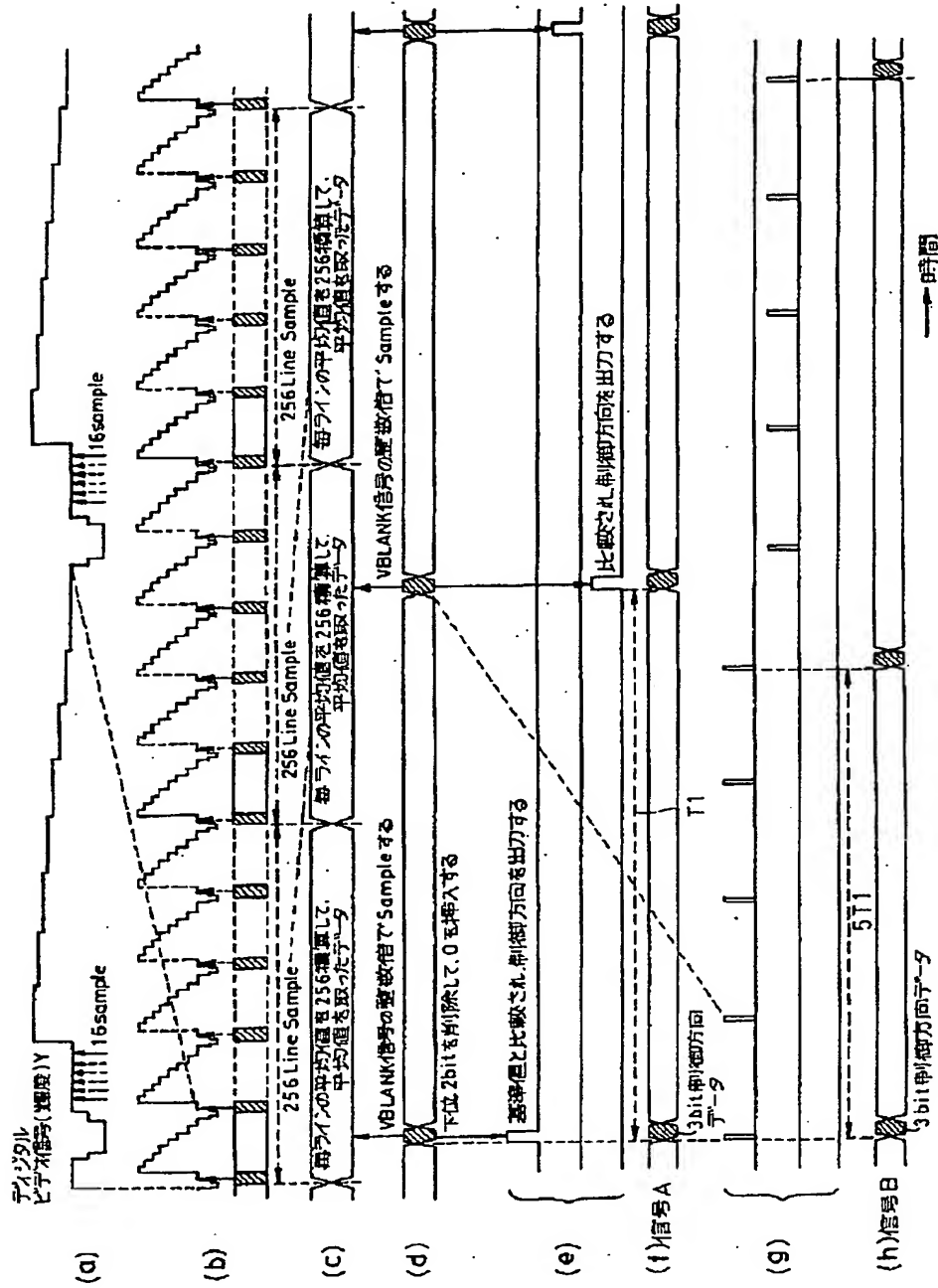
【図9】



〔図2〕



【図3】



(11)

【図4】

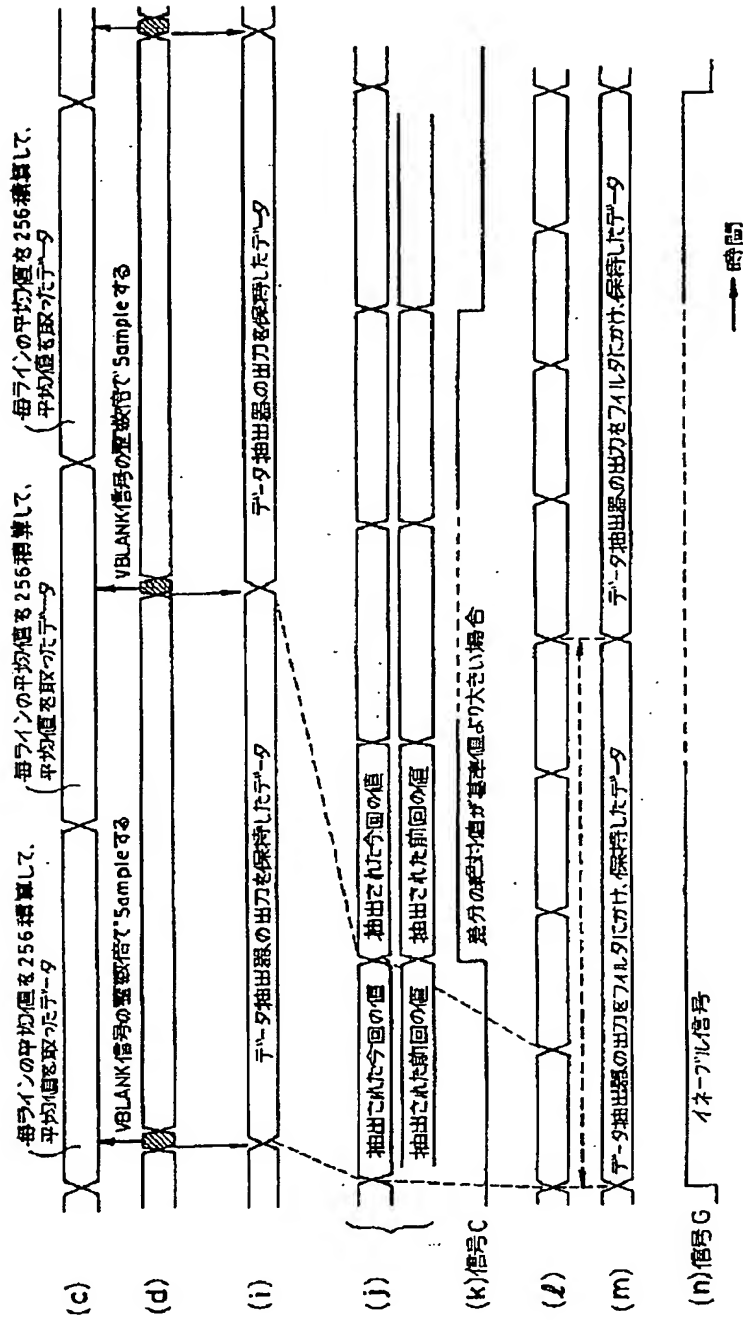


Figure 1 is a timing diagram illustrating the video signal processing system. The diagram shows the relationship between various signals over time, with a horizontal axis representing time.

- (O) Input Signals:** Shows the input video signal (アナログビデオ信号) and its digital equivalent (デジタルビデオ信号). The digital signal is sampled at 3 Sample intervals.
- (P) Video Signal:** Shows the video signal after digital-to-analog conversion. The signal is sampled at 3 Sample intervals.
- (Q) Video Signal:** Shows the video signal after digital-to-analog conversion. The signal is sampled at 3 Sample intervals.
- (R) Video Signal:** Shows the video signal after digital-to-analog conversion. The signal is sampled at 3 Sample intervals.
- (S) Video Signal:** Shows the video signal after digital-to-analog conversion. The signal is sampled at 3 Sample intervals.
- (T) Video Signal:** Shows the video signal after digital-to-analog conversion. The signal is sampled at 3 Sample intervals.
- (U) Video Signal:** Shows the video signal after digital-to-analog conversion. The signal is sampled at 3 Sample intervals.
- (V) Video Signal:** Shows the video signal after digital-to-analog conversion. The signal is sampled at 3 Sample intervals.
- (W) Video Signal:** Shows the video signal after digital-to-analog conversion. The signal is sampled at 3 Sample intervals.
- (X) Video Signal:** Shows the video signal after digital-to-analog conversion. The signal is sampled at 3 Sample intervals.
- (Y) Video Signal:** Shows the video signal after digital-to-analog conversion. The signal is sampled at 3 Sample intervals.

The diagram also shows the timing of the video signal relative to the horizontal sync signal (Hsync) and the vertical sync signal (Vsync). The video signal is sampled at 3 Sample intervals, and the horizontal sync signal is sampled at 3 Sample intervals. The vertical sync signal is sampled at 3 Sample intervals.

【図10】

